

升级RISC-V的指令级仿真器Spike的缓存模型

李真真 宋威

信息安全国家重点实验室，中国科学院信息工程研究所



中国科学院 信息工程研究所
INSTITUTE OF INFORMATION ENGINEERING, CAS

2019年11月

1、Spike介绍

- RISC-V指令级仿真器

- 功能

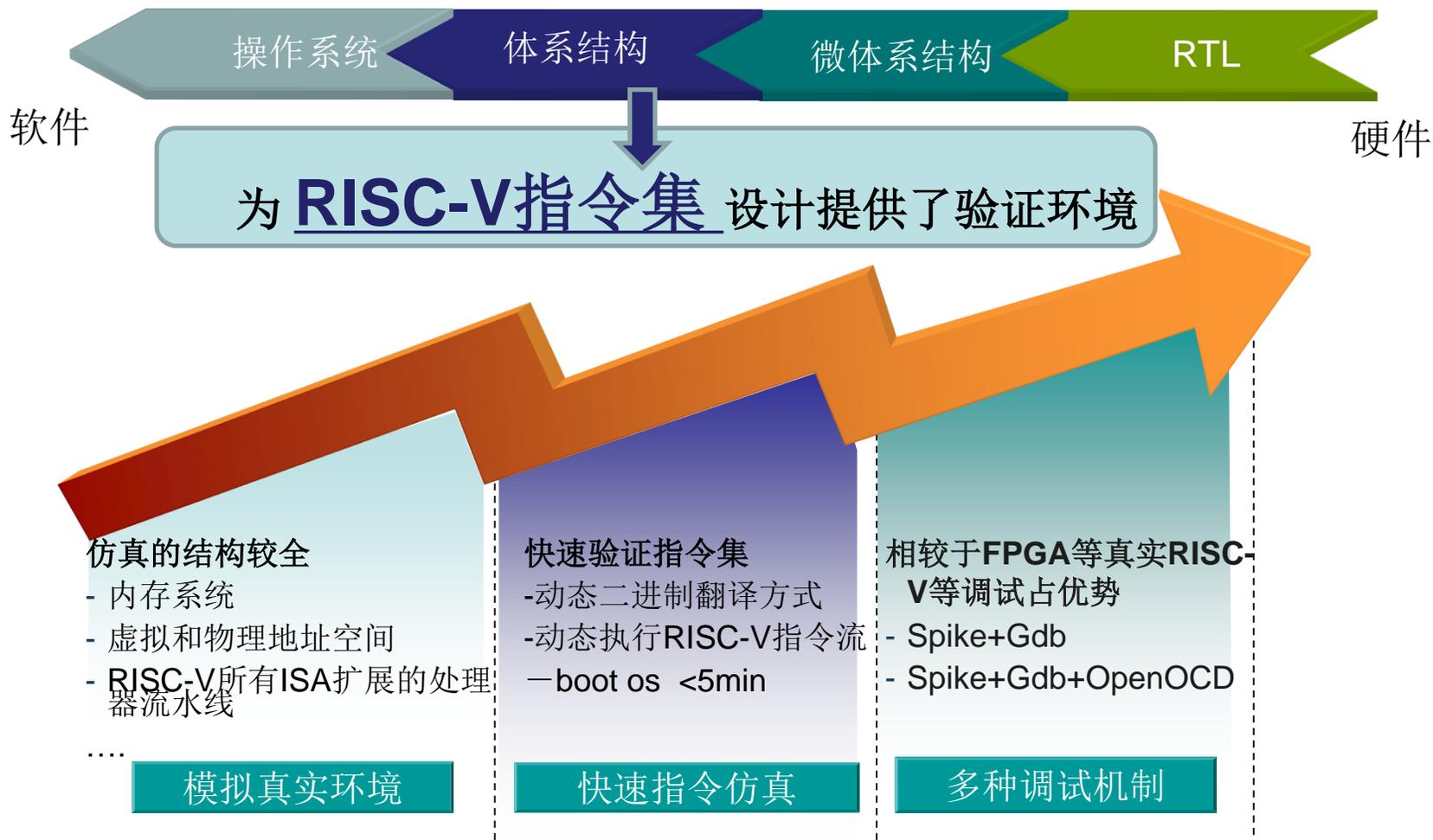
Spike介绍

- RISC-V 指令级仿真器



Spike 介绍

● 功能

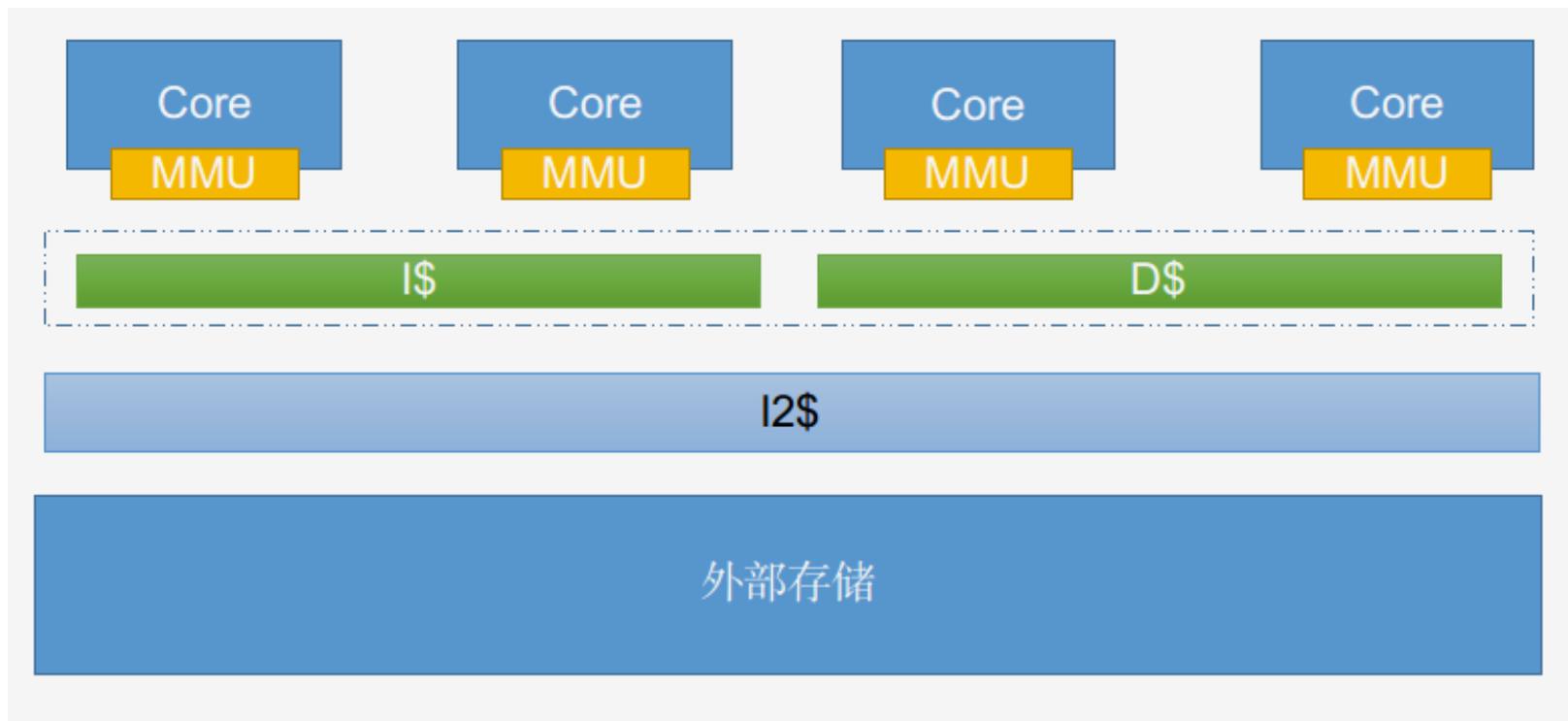


2、Spike的缓存模型

- 现有结构
- 与真实结构的差异
- 升级原因

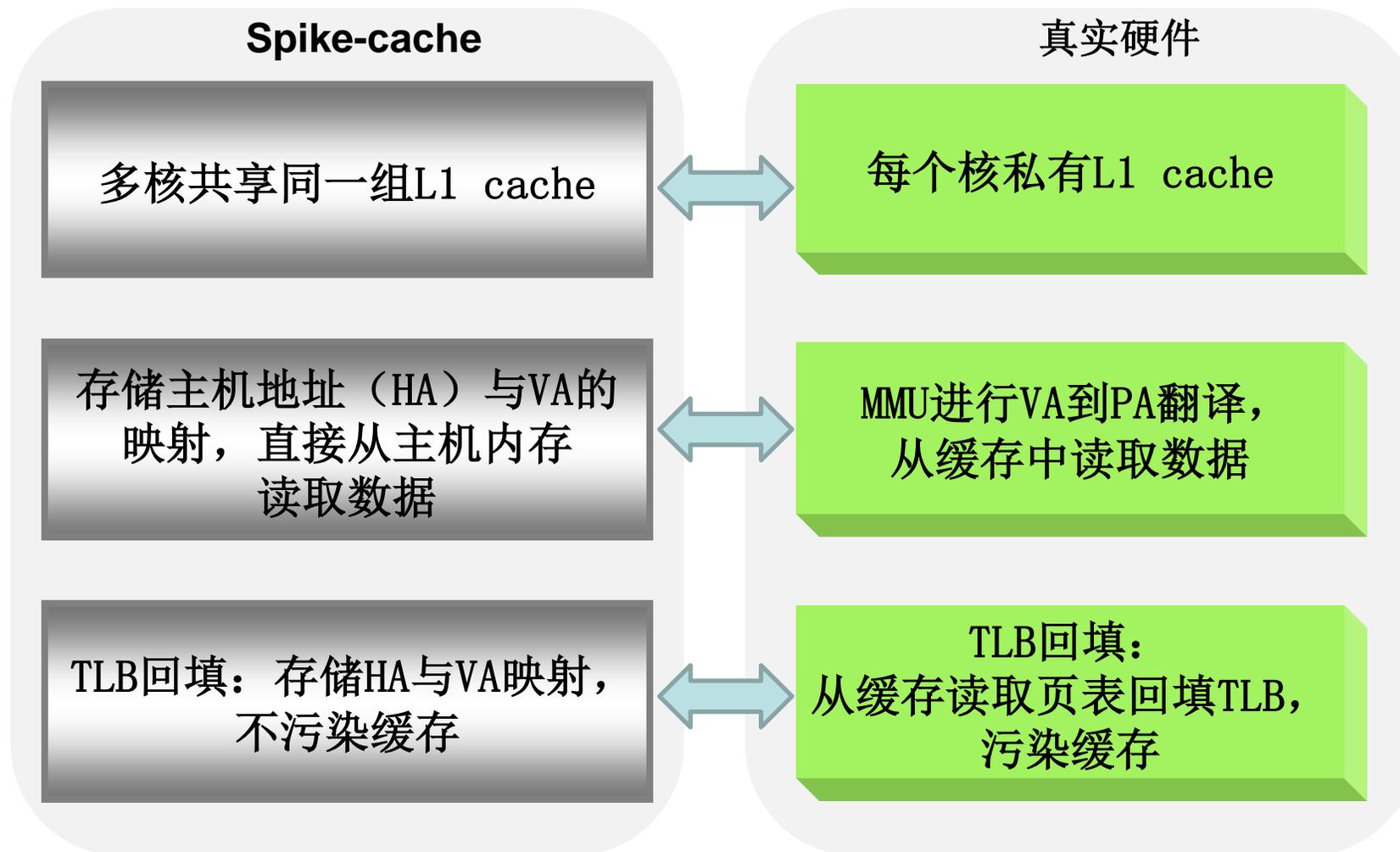
Spike的缓存模型

- 现有结构



Spike的缓存模型

- 与真实结构的差异



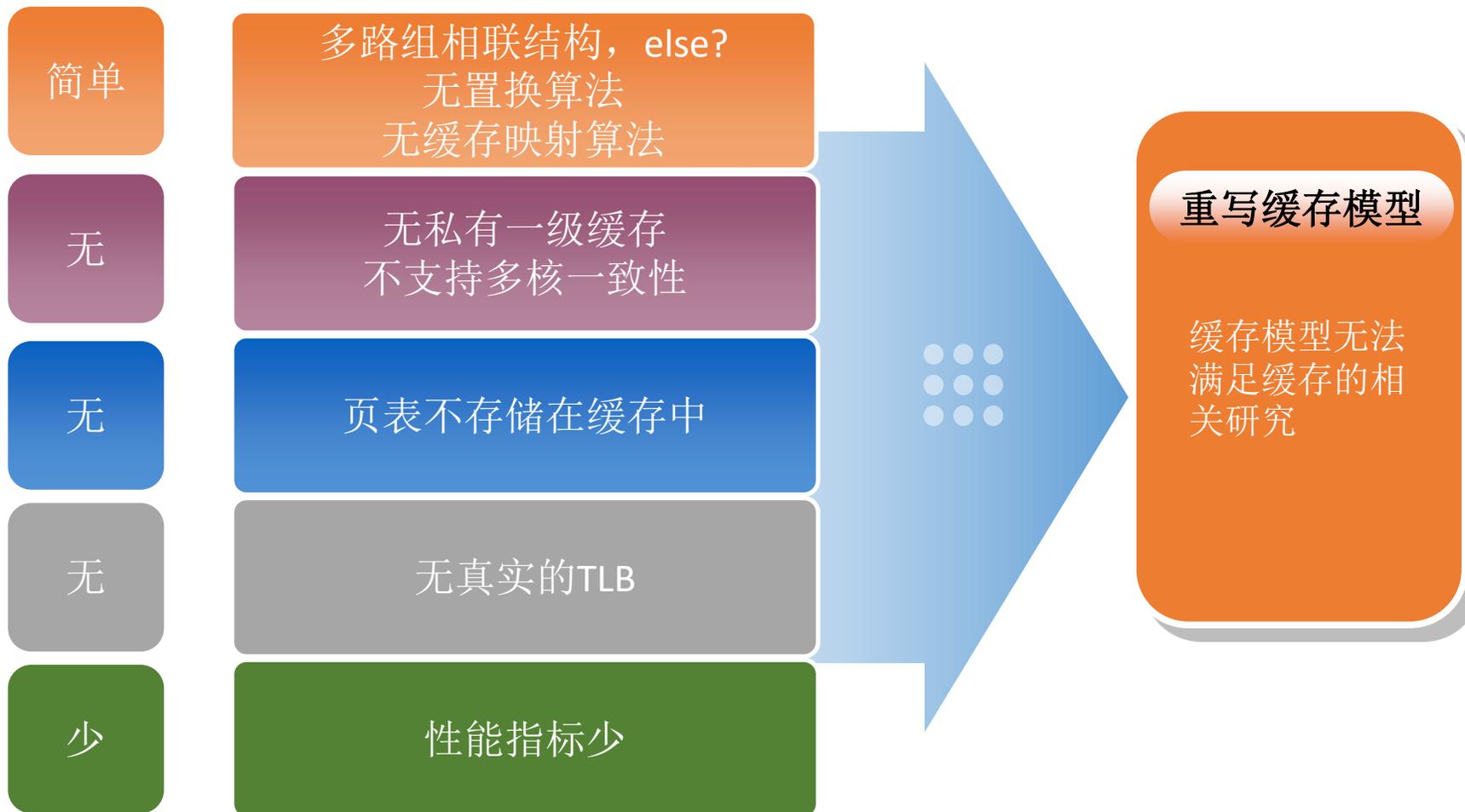
Spike的缓存模型

- 升级原因



Spike的缓存模型

● 升级原因



3、升级Spike的缓存模型

- 升级内容
- 升级进展
- 未来的升级内容

升级Spike的缓存模型

● 升级内容



升级Spike的缓存模型

● 升级进展

新缓存模型

- 1 开发工作基本完成。
- 2 已经在组内用于缓存研究。

Spike模型

- 1 替换Spike的缓存模型已经初步通过测试。
- 2 联调测试和进一步优化。



该模型已经被成功用于分析缓存测信道攻击在缓存中的统计特性，进而优化缓存测信道攻击中的缓存置换集（eviction set）的自动生成算法，相关结果已经发表在2019年的RAID会议上。

升级Spike的缓存模型

- 升级进展

L1/L2缓存的接口API 说明

```
for(int i=0; i<NL1; i++)
    l1_caches[i] =
        new L1CacheBase(i, i, 0, CacheBase::gen, NL1Set, NL1Way,
            IndexNorm::gen, TagNorm::gen, ReplaceLRU::gen,
            &llc_caches, LLCHashNorm::gen, NLLC);

for(int i=0; i<NLLC; i++)
    llc_caches[i] =
        new LLCCacheBase(i, SkewedCache<4>::gen, NLLCSet, NLLCWay,
            IndexSkewed<4>::gen, TagCBL::gen, ReplaceLRU::gen,
            &l1_caches);
```

升级Spike的缓存模型

- 未来的升级工作





谢谢大家！

李真真

宋威

lizhenzhen1@iie.ac.cn songwei@iie.ac.cn

缓存模型代码的地址: <https://github.com/comparch-security/cache-model>