优矽科技
UC TECH IP

RISC-V处理器的完备验证

作者：冯 浩

深圳优矽科技有限公司

内容

1 验证的基本核心思想

2 如何去验证RISC-V处理器

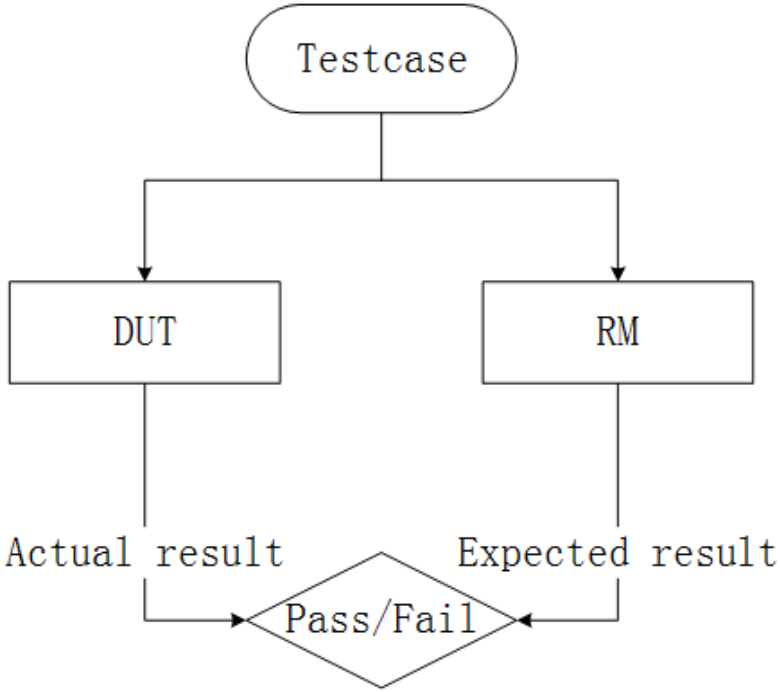
3 总结

1 验证的基本核心思想

1.1 验证的基本核心思想

在IC行业里，人们常常会说：“设计跟验证总是分不开的”。如今，随着设计技术的不断提高，设计出来的电路也越来越复杂，门级数也越来越多，这导致项目组中验证的压力也越来越大。虽然验证的技术也在不断的改进，验证的方法也在不断更新，但是验证的基本核心思想从来没有改变。那就是**每一次测试DUT的执行结果是否保证符合我们预期的目标，即设计要求**。

这种思想在系统级验证、模块级验证和核级验证都是一致认可的。RISC-V处理器的验证自然也是基于这种验证思想而进行的。



2 如何去验证RISC-V处理器

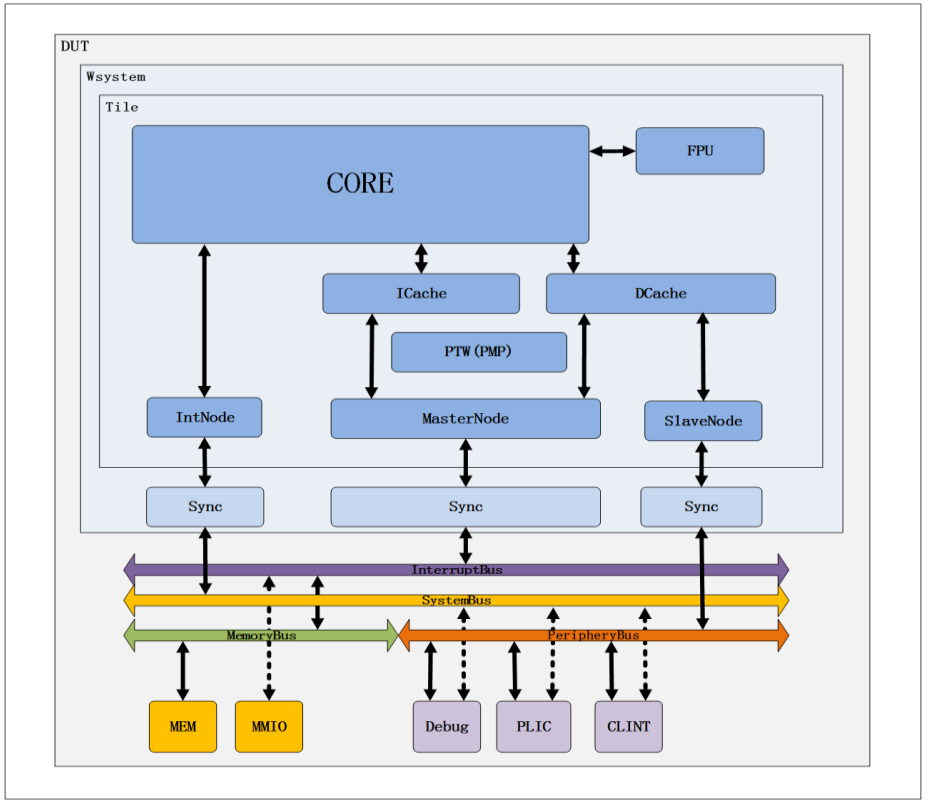
2.1 RISC-V处理器

SPEC描述：

- 32位
- 五级流水线
- 支持RV32IMACF
- 支持U/S/M
- 支持Debug调试

功能模块划分：

- CORE（五级流水线、指令集）
- ICache
- DCache
- 中断（PLIC/CLINT）
- Debug
- 总线
- Privilege
- 内存管理单元（MMU）

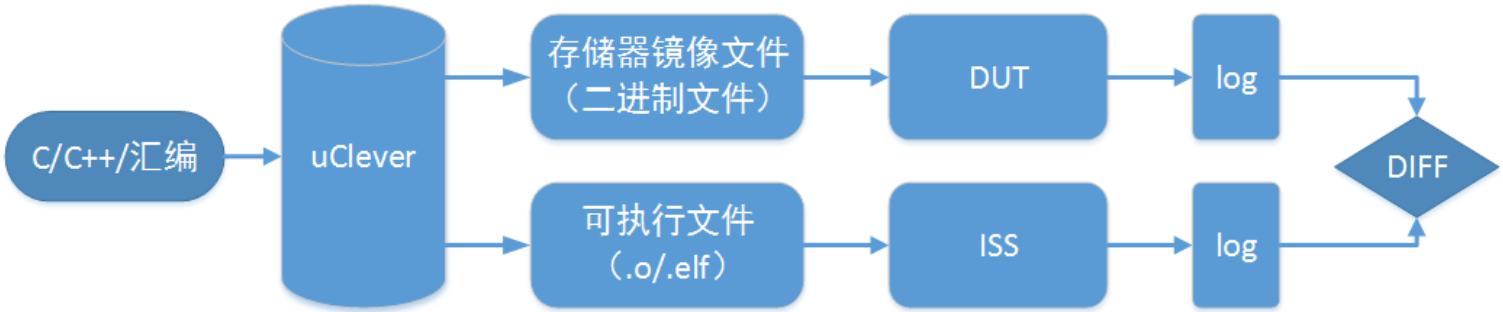


2.2 验证策略

基于对这款处理器SPEC的充分阅读和功能模块的划分，我们制定了相应的验证计划和验证策略：

- 策略一：定向测试，根据模块划分的功能，运用C代码和汇编来编写高层次的功能测试用例，对RISC-V RTL进行动态仿真同时进行数据和信号的正确性检查。这是黑盒验证。
- 策略二：随机验证，根据功能模块的接口时序，搭建UVM平台，编写参考模型并生成大量随机约束测试用例，进行灰盒验证。
- 策略三：断言检查，根据RISC-V处理器的各个模块某些逻辑或时序描述编写相应的断言进行检查，这是白盒验证的一种方法。

2.3 定向测试——测试流程



uClever：基于RISC-V的软件开发平台，为验证工程提供软件开发环境
ISS：指令集模拟器，这里指RISC-V指令集的模拟器，如spike
存储器镜像文件：用于初始化存储器的文件，主要包含地址和数据
DUT：待验证模块，这里指RISC-V处理器。
log：动态仿真输出的打印信息。

2.3 定向测试——功能测例

测例编号	测例名称	测例功能描述
w01	rv32i-add	测试rv32I的add指令功能
w02	rv32i-sub	测试rv32I的sub指令功能
w03	rv32i-lw	测试rv32I的lw指令功能
w04	rv32i-sw	测试rv32I的sw指令功能
w05	rv32i-fence_i	测试rv32I的fence.i指令功能
……	……	……

表：RISC-V处理器的功能测例列表

如测例rv32i-add的汇编：

```
<test_2>:
        li    ra,0
        li    sp,0
        add   a4,ra,sp
        li    t4,0
        li    gp,2
        bne   a4,t4, fail
<test_3>:
        li    ra,0
        li    sp, 0xffff8
        add   a4,ra,sp
        li    t4, 0xffff8
        li    gp,3
        bne   a4,t4, fail
…… ……
```

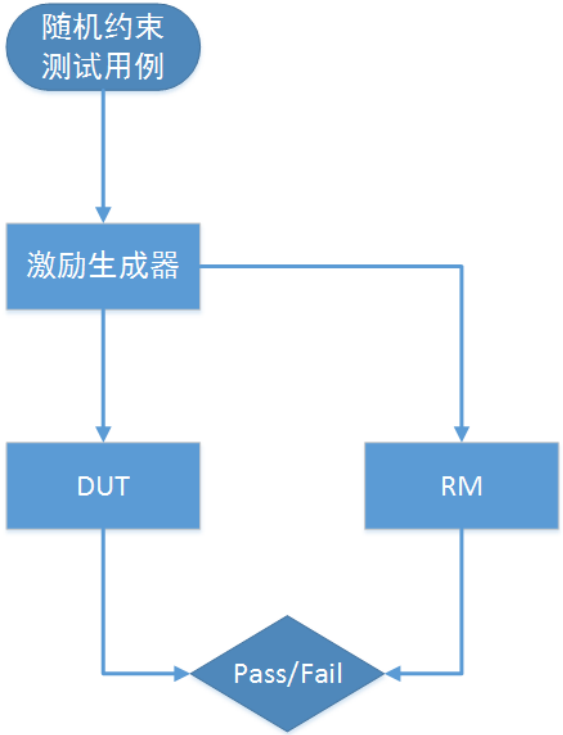
2.4 随机测试——测试流程

RM: reference model，参考模型

在RISC-V处理器的随机测试中，我们是基于UVM验证方法学来进行的。首先我们先搭建一个通用的UVM平台，编写参考模型（reference model）然后约束随机测例，通过激励生成器驱动给待验证模型（DUT），最后把结果在计分板上进行对比。

基于UVM平台的随机测试具有以下优势：

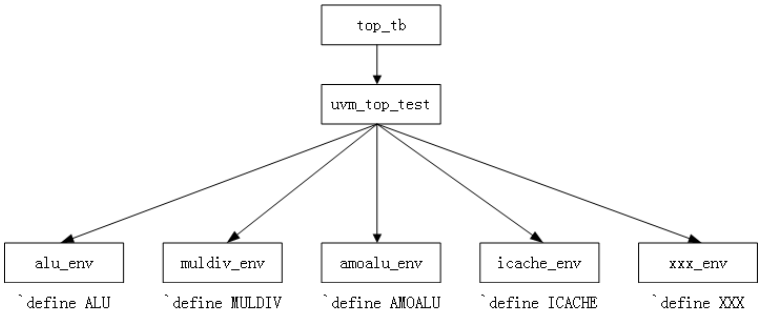
1. 可以生成大量的随机约束测例
2. 复用性，UVM平台是通用的，各个组件可以很轻松的重复使用在另一个功能模块的验证中。
3. 便于回归验证

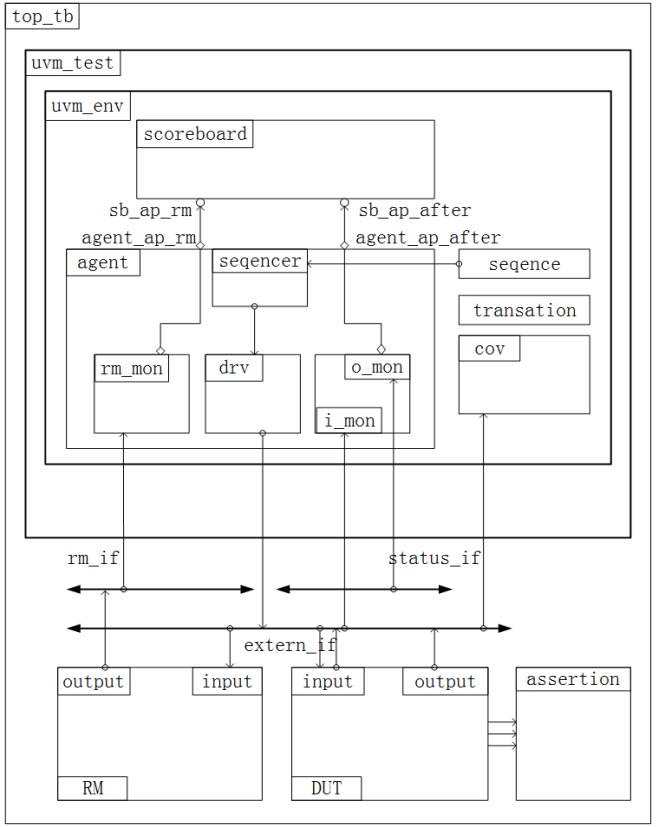


2.4 随机测试——UVM验证平台

右边是一个通用UVM验证平台的结构框图，包括driver、monitor、agent、scoreboard等组件。该平台可以根据RISC-V处理器不同的功能模块进行扩展开发随机验证。

另外，该平台具有参数化的特点，我们通过使用宏来实现平台的参数化，提高验证平台的效能。





2.5 断言检查

针对电路中某一特定的逻辑或时序，我们在验证平台中插入相应的断言，用于准确的描述出设计的预期行为。一旦设计的实际行为不符合断言的描述，则给出检查报告。下面是一个SVA的例子：

```
sequence fence_i;
    ibuf_io_inst_0_bits_raw==32'b0000_0000_0000_0000_0001_0000_0000_1111;
endsequence
property fence_i_decode;
    @(posedge clock)
        disable iff(reset)(fence_i |-> ((id_ctrl_legal==1)&&(id_ctrl_fp==0)&&(id_ctrl_branch==0)&&(id_ctrl_jal==0)&&(id_ctrl_jalr==0)&&(id_ctrl_rxs2==0)&&
        (id_ctrl_rxs1==0)&&(id_ctrl_sel_alu2==2'b01)&&(id_ctrl_sel_alu1==2'b1)&&(id_ctrl_sel_imm==3'b111)&& (id_ctrl_alu_fn==4'b0)&&(id_ctrl_mem==1)&&
        (id_ctrl_mem_cmd==5'b00101)&&(id_ctrl_rfs3==0)&&(id_ctrl_wfd==0)&& (id_ctrl_div==0)&&(id_ctrl_wxd==0)&&(id_ctrl_csr==3'b0)&&
        (id_ctrl_fence_i==1)&&(id_ctrl_fence==1)&&(id_ctrl_amo==0)&&(id_ctrl_dp==0)));
endproperty
a_fence_i_decode:assert property (fence_i_decode)
else  $error("Assertion failed!");
c_fence_i_decode:cover property (fence_i_decode)  ;
```

使用断言的优势：

1. 更快、更准确、更清晰地定位bug
2. 具有复用性，根据RISC-V处理器可配置性和可扩展性，断言可以复用到不同配置的处理器中。
3. 可量化，因为断言具有覆盖率的功能

2.6 覆盖率报告

下面是根据我们已经完成部分验证计划的验证数据生成的代码覆盖率报告，包括功能覆盖率和代码覆盖率。

功能覆盖率	SCORE
covergroup	80
assertion	100

表：功能覆盖率报告

SCORE	LINE	COND	TOGGLE	BRANCH
71.25	74.64	86.38	46.39	77.58

表：代码覆盖率报告

UC TECH IP

3 总结

3 总结

1.采用定向验证+随机验证，从系统级到模块级的覆盖的验证策略，可以很好的保证RISC-V处理器的验证完备性和可信度，而断言的使用可以提高我们的验证效率。

2.由于RISC-V的可扩展性，将来ip供应商将可以快速的为客户定制化生成不同配置、架构相似的RISC-V处理器ip，这要求我们要提高验证的效率。其中一种有效的解决方法就是，为该处理器定制参数化可复用的验证ip，这将是我们努力的一个方向。

优矽科技
UC TECH IP

UC TECH IP

Thank you